

M
E
N
U[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#) [Generate Collection](#)

L3: Entry 1 of 4

File: JPAB

Jan 29, 1993

PUB-NO: JP405020173A
DOCUMENT-IDENTIFIER: JP 05020173 A
TITLE: CACHE MEMORY CIRCUIT

PUBN-DATE: January 29, 1993

INVENTOR-INFORMATION:

NAME	COUNTRY
OKI, HIDETAKA	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	

APPL-NO: JP03176429
APPL-DATE: July 17, 1991

INT-CL (IPC): G06F 12/04; G06F 12/08; G11C 11/41

ABSTRACT:

PURPOSE: To read the data with a single access of a memory even though the access exceeds the data access range.

CONSTITUTION: A cache memory circuit consists of a row address decoding circuit 103 which decodes more significant bits of an input address signal, a memory cell plane 105 which receives an access with the output signal of the circuit 103, a column address decoding circuit 107 which generates the column addresses for each address boundary of the data that receive an access with less significant bits of the address signal and a data access width signal, and a column multiplex circuit 109 which is controlled by the output of the circuit 107.

COPYRIGHT: (C)1993, JPO&Japio

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-20173

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl. ⁵ G 0 6 F 12/04 12/08 G 1 1 C 11/41	識別記号 5 4 0 3 1 0 Z	府内整理番号 8841-5B 7232-5B	F I 7323-5L	技術表示箇所 G 1 1 C 11/ 34 3 0 1 E
---	--------------------------	------------------------------	----------------	-------------------------------------

審査請求 未請求 請求項の数 1(全 3 頁)

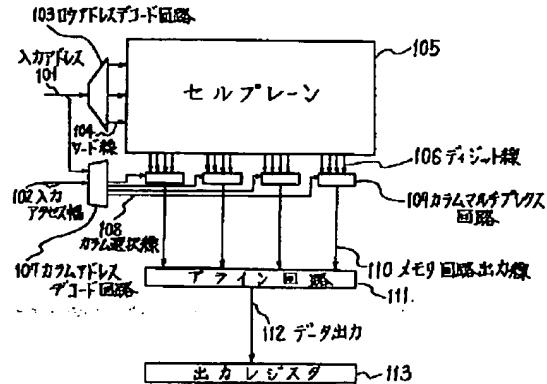
(21)出願番号 特願平3-176429	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日 平成3年(1991)7月17日	(72)発明者 沖 秀隆 東京都港区芝五丁目7番1号日本電気株式 会社内 (74)代理人 弁理士 内原 晋

(54)【発明の名称】 キャッシュメモリ回路

(57)【要約】

【目的】 データアクセス幅を跨ぐ範囲でのアクセスであっても1回のメモリアクセスでデータの読み出しを可能にする。

【構成】 入力されたアドレス信号の上位ビットをデコードするロウアドレスデコード回路103と、デコード回路の出力信号でアクセスされるメモリセルプレーン105と、アドレス信号の下位ビット及びデータアクセス幅信号とでアクセスされるデータのアドレス境界単位にカラムアドレスを生成するカラムアドレスデコード回路107と、カラムアドレスデコード回路の出力によって制御されるカラムマルチプレクス回路109とを有することを特徴とするキャッシュメモリ回路。



【特許請求の範囲】

【請求項1】 入力されたアドレス信号の上位ビットをデコードするロウアドレスデコード回路と、前記デコード回路の出力信号でアクセスされるメモリセルプレーンと、前記アドレス信号の下位ビット及びデータアクセス幅信号とでアクセスされるデータのアドレス境界単位にカラムアドレスを生成するカラムアドレスデコード回路と、前記カラムアドレスデコード回路の出力によって制御されるカラムマルチプレクス回路とを有することを特徴とする。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はキャッシュメモリ回路に関する。

【0002】

【従来の技術】 従来のキャッシュメモリ回路は、データ部を構成するメモリの読み出しは図3に示すように、そのメモリのアクセス幅単位で行なっている。従って、図2に示すようにデータアクセス幅を跨ぐデータ範囲203をアクセスする場合には、入力アドレス101に対して、(a～a+3), (a+4～a+7)のデータ範囲の2回の読み出を行ない、出力レジスタ書込制御回路332制御により、選択的に出力レジスタ113への書込みを選択的に行なうことにより、所望のデータアクセスが実現される。

【0003】 図4は、図2のアドレス(a, a+4, a+8, a+12), (a+1, a+5, a+9, a+13), (a+2, a+6, a+10, a+14), (a+3, a+7, a+11, a+15)の各々に対応するデータ部を別々のメモリで構成した例である。各メモリは独立したアドレスでアクセスされるため、図2のデータ範囲203へのデータアクセスも1度に読み出すことができる。

【0004】

【発明が解決しようとする課題】 この従来のキャッシュメモリ回路では、データアクセス範囲がデータ部を構成するメモリの読み出し幅境界を越えていると、メモリへのアクセスを2回行ない、両者の出力を合成する必要があるため、データアクセスに時間を要するという問題点があった。

【0005】 また、データ部をアクセスアドレスの単位ごとに分ける構造では、単体のメモリで構成されている場合に比べて、ロウアドレスデコード回路221等の周辺回路が個々のメモリにつくため、面積が大きくなるという問題点があった。

【0006】

【課題を解決するための手段】 本発明のキャッシュメモリ回路は、入力されたアドレス信号の上位ビットをデコードするロウアドレスデコード回路と、前記デコード回

10

20

30

40

50

路の出力信号でアクセスされるメモリセルプレーンと、前記アドレス信号の下位ビット及びデータアクセス幅信号とでアクセスされるデータのアドレス境界単位にカラムアドレスを生成するカラムアドレスデコード回路と、前記カラムアドレスデコード回路の出力によって制御されるカラムマルチプレクス回路とを有することを特徴とする。

【0007】

【実施例】 次に本発明について図面を用いて説明する。【0008】 図1は本発明の一実施例のキャッシュメモリ回路のデータメモリ部のブロック図である。

【0009】 入力アドレス101のうち上位ビット(セルプレーンのロウ数に相当するビット数)は、ロウアドレスデコード回路103へ送られる。デコード結果はワード線104で選択されたセルプレーン105の内容がディジット線106に読み出され、カラムマルチプレクス回路109で選択されて、アライン回路111を経て出力レジスタ113へ格納される。

【0010】 この際、カラムマルチプレクス回路109は、アクセスされるアドレス境界単位(一般にバイト単位、つまり8ビット単位)ごとに独立して制御されるようになっている。これらは入力アドレスの101の下位ビット及び入力アクセス幅102とから、カラムアドレスデコード回路107により制御される。

【0011】 次に、メモリ中のデータがアクセスされる様子を図2に示す。本図に示すのは、データメモリのアクセス幅は4バイトとした例である。

【0012】 図2はメモリ中の16の倍数の、アドレスaからアドレス(a+15)までの16バイトが格納されている様子を示す。アドレスaから16バイト分はロウアドレスで選択される範囲であり、アドレス範囲a～a+3, a+4～a+7, a+8～a+11, a+12～a+15は、カラムアドレスで指定される範囲である。

【0013】 いま、データのアクセスがアドレス(a+3)から2バイト幅で行なわれた場合、アドレス群(a, a+4, a+8, a+12)のアドレスから1つを選択するカラムマルチプレクス回路109は、アドレス(a+4)を選択し、アドレス群(a, a+1, a+2, a+3)から選択するカラムマルチプレクス回路109はアドレスa+3を選択する。

【0014】 これらのアドレスから読み出されたデータはアライン回路111で右ないし左にそろえられて出力レジスタ113に収められる。

【0015】 従って、データアクセス幅が4バイトのメモリ回路に於いて、4バイト境界をまたぐデータアクセスを、ロウアドレスの範囲をまたがない限り、1回のメモリアクセスで行なえる。

【0016】

【発明の効果】 以上説明したように、本発明は、データ

部を構成するメモリのカラムマルチプレクス回路をアクセサアドレス境界に対応して、アクセサアドレスの下位ビットとデータアクセス幅とから生成する信号で独立に制御することにより、ロウアドレスの範囲にアクセスが収まっている限り、データアクセス幅を跨ぐ範囲でのアクセスであっても1回のメモリアクセスでデータを読み出すことが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】メモリ中データアクセス幅を跨ぐデータ範囲の例を示す図である。

【図3】単一構成のメモリを用いた従来例のブロック図である。

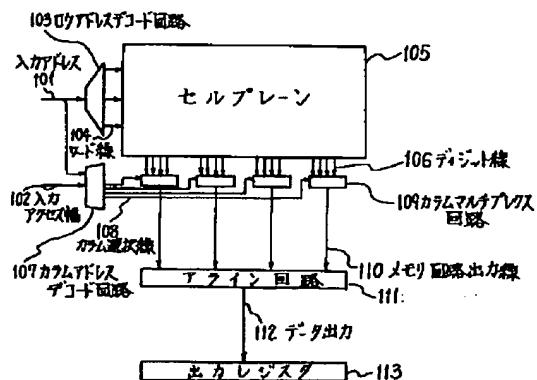
【図4】アクセスアドレス対応にデータメモリを独立させた従来例のブロック図を示す。

【符号の説明】

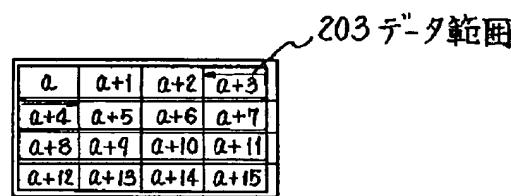
101 入力アドレス

- 102 入力アクセス幅
- 103 ロウアドレスデコード回路
- 104 ワード線
- 105 セルプレーン
- 106 ディジット線
- 107 カラムアドレスデコード回路
- 108 カラム選択線
- 109 カラムマルチプレクス回路
- 110 メモリ回路出力線
- 111 データ出力
- 112 出カレジスタ
- 113 データ出力
- 114 アドレスタブ出力線
- 115 ディジット出力線
- 116 ワード出力線
- 117 ロウアドレス出力線
- 118 メモリ回路入力線
- 119 ディジット入力線
- 120 ワード入力線
- 121 ロウアドレス入力線
- 122 ディジット入力線
- 123 ワード入力線
- 124 ロウアドレス入力線
- 125 ディジット入力線
- 126 ワード入力線
- 127 ロウアドレス入力線
- 128 ディジット入力線
- 129 ワード入力線
- 130 ロウアドレス入力線
- 131 ディジット入力線
- 132 出カレジスタ書き制御回路
- 203 データ範囲

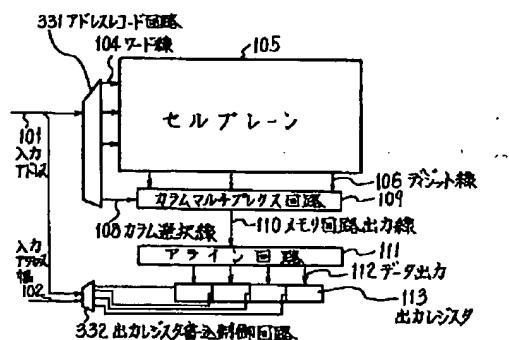
【図1】



【図2】



【図3】



【図4】

